

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭63-73584

⑫ Int.Cl.¹

H 01 S 3/18
// H 01 L 23/36

識別記号

庁内整理番号

7377-5F

⑬ 公開 昭和63年(1988)4月4日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 アレイ半導体レーザ用ヒートシンク

⑮ 特願 昭61-218405

⑯ 出願 昭61(1986)9月16日

⑰ 発明者 太田 義徳 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代理人 弁理士 内原 晋

明細書

発明の名称

アレイ半導体レーザ用ヒートシンク

特許請求の範囲

高抵抗シリコン基板をアレイ半導体レーザに融着したアレイ半導体レーザ用ヒートシンクにおいて、このアレイ半導体レーザの発光点位置のほぼ中間に對応する位置で、そのアレイ半導体レーザの共振器方向に沿って前記シリコン基板面にそれぞれ溝を設け、これら溝の断面幅が前記アレイ半導体レーザを融着する位置よりその基板の深さ位置において広く形成されていることを特徴とするアレイ半導体レーザ用ヒートシンク。

発明の詳細な説明

(産業上の利用分野)

本発明は光通信用装置、光情報処理用光装置などに使用される半導体レーザアレイを取付けるヒ

ートシンクに関する。

[従来の技術]

アレイ状に配列した多数の半導体レーザを独立に駆動するという場合の用途は、基板上に形成した光導波路配線のアレイに、信号坦体としての光を導入する場合の光源として、ひとつの光ディスクヘッドに複数の光ビームを擁するマルチビーム光ヘッドの光源としてなど広くある。これらに用いられる半導体レーザアレイの間隔は $50 \mu\text{m}$ ~ $100 \mu\text{m}$ と狭くなっているが、また個々の半導体エレメント間の熱的な干渉を避け信頼性を上げるために、半導体レーザの構造の上から、基板側ではなく、活性層を含む成長層側をヒートシンクに熱融着することが望ましい。

通常、単一の半導体レーザをヒートシンクとしてシリコン (Si) を設定する場合、半導体レーザの結晶成長層を有する表面に設けた金電極と、Si表面上に厚く設けた錫膜とを融着して行っており、Si表面上の錫は、半導体レーザと Si との熱膨張係数の違いを吸収するために、数 μm も

の厚さに形成している。

〔発明が解決しようとする問題点〕

このような条件を満たして実現された半導体レーザアレイの例は、半導体レーザエレメント間にエッチングやカッタによる加工等によって溝を設けて、素子間の電気的分離を行った半導体レーザアレイを、電気的絶縁性を有し熱伝導性の高い酸化ペリリウムの基板の上に、金属マスク等を用いて半導体レーザアレイに対応した金属錫膜を蒸着によって形成し、この錫膜と半導体レーザアレイ表面に設けた金等の膜との合金化によって融着している。このような従来の方法によるマスクを用いた錫膜の形成法では、アレイピッチが150～200μm程度のものにしか適用できず、アレイピッチ50μm程度の間隔の細いアレイに適用することが出来なかった。

单一の半導体レーザのヒートシンクとして多く利用されているシリコン結晶の通常の製作法としては、厚さ300μm程度のシリコンウェハを基板とし、これを1mm～3mmの間隔でメッシュ状に、

切り込みを幅数十μm深さ100～200μm程度に入れ、全面にSnを蒸着し後、切り込みに応力を集中して個々のヒートシンクチップに破断する方法がとられている。

高抵抗のシリコンを使って半導体レーザアレイ用のヒートシンクを作製するには、アレイ間の電気的分離に、チップ毎に切断するために入れる切り込みと同様に（但しこれよりも浅く切り込みを入れて）、この後Snを蒸着する方法が考られる。しかし、この場合は蒸着するSnの厚さが厚いため、切り込み溝の側壁にも膜が形成され、電気的な分離がとれない。更に、簡便な方法としては、分離用の切り込みを入れずにSnを一様に形成し、フォトリソグラフィー法とSnの化学的エッティングの組合せやレーザトリミング法などによるSn膜のバタニングが考られるが、Snの化学的エッティング法では、マスクとして形成するレジスト膜によるSn蒸着膜表面の変質、レーザトリミング法ではトリミング部位両側に生ずるSnの再付着によりバリの発生などによって半導体レ

ーザとの融着を困難にしている。

〔発明の目的〕

本発明の目的は、これらの問題点を除去し、レーザエレメントに対応した分離が容易にでき、高密度実装を可能にしたアレイ半導体レーザ用ヒートシンクを提供することにある。

〔問題点を解決するための手段〕

本発明の構成は、高抵抗シリコン基板をアレイ半導体レーザに融着したアレイ半導体レーザ用ヒートシンクにおいて、このアレイ半導体レーザの発光点位置のほぼ中間に對応する位置で、そのアレイ半導体レーザの共振器方向に沿って前記シリコン基板面にそれぞれ溝を設け、これら溝の断面幅が前記アレイ半導体レーザを融着する位置よりその基板の深さ位置において広く形成されていることを特徴とする。

〔作用〕

本発明の構成をとることにより、アレイ半導体レーザを融着するシリコン基板面に形成される半導体レーザの共振器方向に沿った溝の断面形状を断

面の幅が融着面位置より基板深さ位置において幅広に形成できるため、各レーザエレメントの融着用に構成された軟金属のひとつであるSnを厚く蒸着しても、溝の側壁に付着することなく、融着後の半導体レーザエレメント間の電気的導通を回避することができる。さらに、Sn膜蒸着後のSn膜上にフォトレジスト等を塗付する必要がないため、Sn膜表面の変質を生ずることがなく、良好な融着を行うことが出来る。

〔実施例〕

次に本発明を図面により詳細に説明する。

第1図は本発明の一実施例の構成を示す断面図である。図中、1はヒートシンクとする高抵抗Si、2はこのSi1の表面に設けるボロン(B)を含むSi結晶層、3はヒートシンク1に融着する半導体レーザアレイであり、ここでは電極の分離だけで個々のレーザエレメントを独立に駆動できる埋込型レーザを用いている。4は融着のためにSi結晶層2の表面に設けるSn蒸着膜、5はたれたSn、6は個々のレーザエレメント間を電

気的に分離する溝である。

本実施例は、この溝6の断面形状が、ヒートシンク1の半導体レーザ3との接合部位では幅が狭く、基板内部で幅広となっているため、Sn4を蒸着する場合に、Snは各溝6の側壁に付着することなく、溝6の底部にSn5のようにたまるだけである。従って、各レーザエレメントの電極3a, 3b, 3cの間は導通することができなく、それぞれのレーザエレメントを独立に駆動することができる。

このような溝6は、次のようにして形成することができる。すなわち、Bを含むSi結晶層2はエピタキシャル成長法による結晶層として、または高抵抗Si基板1へのイオン注入によるB注入層として形成できる。このBを含む層2はフォトレジストを使ったマスクを用いて、KOHをエッティング液として溝状にエッティングされる。さらに、エチレンジアミンとピロカテコールの混液を116°Cの沸点に熱し、この混液中にこのSi基板1を浸すと、1時間当たり50μm程度の速度でエッ

チングが起る。この時、Bを含むSi層2のエッティング速度は極めて遅いため、Bを含む層2を除去するような、穴倉形状にSi1がエッティングされ、図に示すような、レーザとの融着部では幅が狭く、深部では幅の広い溝6が形成される。

〔発明の効果〕

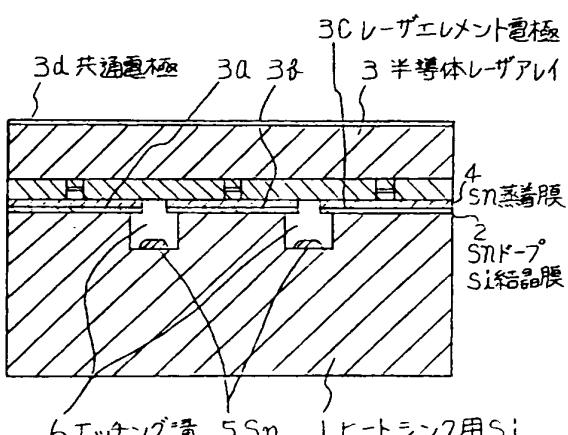
以上説明したように、本発明によれば、レーザエレメントに対応した溝6が容易に形成できるので、高密度の実装に適した半導体レーザアレイ用ヒートシンクが得られる。

図面の簡単な説明

第1図は本発明の一実施例の構造を示す断面図である。

1…ヒートシンク用Si、2…Bを含むSi結晶層、3…半導体レーザアレイ、4…Sn蒸着膜、5…たまたまたSn、6…エッティング溝、3a, 3b, 3c…レーザエレメント電極、3d…共通電極。

代理人弁理士内原晋



第1図